



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0089372
Application Number

출원년월일 : 2003년 12월 10일
Date of Application DEC 10, 2003

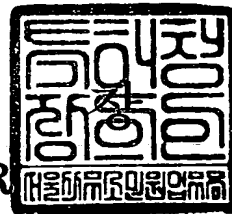
출원인 : 한국전자통신연구원
Applicant(s) Electronics and Telecommunications Research Inst



2004 년 01 월 19 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【참조번호】 0002
【제출일자】 2003. 12. 10
【발명의 명칭】 전계 방출 디스플레이
【발명의 영문명칭】 Field Emission Display

【출원인】
【명칭】 한국전자통신연구원
【출원인코드】 3-1998-007763-8

【대리인】
【성명】 신영무
【대리인코드】 9-1998-000265-6
【포괄위임등록번호】 2001-032061-5

【발명자】
【성명의 국문표기】 송윤호
【성명의 영문표기】 SONG, Yoon Ho
【주민등록번호】 631001-1803112
【우편번호】 302-795
【주소】 대전광역시 서구 정림동 우성아파트 127-405
【국적】 KR

【발명자】
【성명의 국문표기】 황치선
【성명의 영문표기】 HWANG, Chi Sun
【주민등록번호】 691222-1402916
【우편번호】 306-759
【주소】 대전광역시 대덕구 법2동 보람아파트 113-108
【국적】 KR

【발명자】
【성명의 국문표기】 김광복
【성명의 영문표기】 KIM, Kwang Bok
【주민등록번호】 681103-1408222

【우편번호】 305-751
【주소】 대전광역시 유성구 송강동 199번지 송강그린아파트 306-503호
【국적】 KR
【공지예외적용대상증명서류의 내용】
【공개형태】 학술단체 서면발표
【공개일자】 2003.07.09
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
신영무 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 17 면 17,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 17 항 653,000 원
【합계】 699,000 원
【감면사유】 정부출연연구기관
【감면후 수수료】 349,500 원
【기술이전】
【기술양도】 희망
【실시권 허여】 희망
【기술지도】 희망
【첨부서류】 1. 요약서·명세서(도면)_1통 2. 공지예외적용대상(신규성상실의예외, 출원시의특례)규정을 적용받기 위한 증명서류_1통

【요약서】**【요약】**

본 발명은 형광체를 구비하는 아노드 판과 전계 에미터와 이에 인가 전압을 제어하는 제어소자를 갖는 캐소드 판 사이에 경사진 내벽을 가지는 게이트 구멍과 그 상부 주위에는 게이트 전극을 구비하는 전계 방출 디스플레이를 제공한다.

상술한 발명에 의하면, 게이트 전극에 인가되는 전압은 아노드 전압에 의한 전계 에미터의 전자방출을 억제하며 전체적으로 균일한 전위를 형성함으로써 국부적인 아킹을 방지하여 수명을 향상시킬 수 있고, 경사진 내벽을 갖는 게이트 구멍은 전계 에미터로부터 방출된 전자를 아노드의 형광체에 집속시키는 역할을 하고 이에 따라 추가적인 포커싱 그리드 없이도 고해상도의 전계 방출 디스플레이를 제조가능하게 한다.

【대표도】

도 5

【색인어】

전계 방출 디스플레이, 아노드 판, 캐소드 판

【명세서】**【발명의 명칭】**

전계 방출 디스플레이(Field Emission Display)

【도면의 간단한 설명】

도 1은 종래의 2극형 전계 에미터를 가진 전계 방출 디스플레이의 구성을 보여주는 개략도이다.

도 2는 종래의 2극형 전계 에미터를 가진 액티브-매트릭스 전계 방출 디스플레이의 구성을 보여주는 개략도이다.

도 3은 본 발명의 제 1 실시예에 의한 게이트 판을 가진 액티브-매트릭스 전계 방출 디스플레이의 구성을 보여주는 개략도이다.

도 4는 본 발명의 제 1 실시예에 의한 전계 방출 디스플레이의 캐소드 판, 게이트 판, 아노드 판을 보여주는 개략도이다.

도 5는 본 발명의 제 1 실시예에 따른 전계 방출 디스플레이의 픽셀 구조이다.

도 6는 본 발명의 제 2 실시예에 따른 전계 방출 디스플레이의 픽셀 구조이다.

도 7은 본 발명의 제 1 실시예에 따른 전계방출 디스플레이에서 게이트 전압의 인가에 따른 아노드 방출 전를 나타낸 그래프이다.

도 8은 본 발명의 제 1 실시예에 따른 전계방출 디스플레이에서 포텐셜의 형태와 전자빔의 궤도의 시뮬레이션 결과를 도시한 그래프이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<9> 본 발명은 전계 방출 소자를 평판 디스플레이에 응용한 전계 방출 디스플레이(Field Emission Display: FED)에 관한 것으로, 보다 상세하게는, 형광체를 구비하는 아노드 판과 전계 에미터와 이에 인가 전압을 제어하는 제어소자를 갖는 캐소드 판 사이에, 경사진 내벽을 가지는 게이트 구멍을 가지고 그 상부 주위에는 게이트 전극을 구비하며, 캐소드 판의 전계 에미터는 게이트 구멍을 통하여 상기 아노드 판의 형광체와 서로 대향할 수 있도록 구성된 전계 방출 디스플레이에 관한 것이다.

<10> 전계 방출 디스플레이는 전계 에미터를 가진 캐소드 판(cathode plate)과 형광체(phosphor)를 가진 아노드 판(anode plate)을 소정 간격(예를 들어, 2mm) 이격되어 서로 대향되도록 진공 패키징(vacuum packaging)하여 제작하고, 캐소드 판의 전계 에미터로부터 방출된 전자를 아노드 판의 형광체에 충돌시켜 형광체의 음극 발광(cathodoluminescence)으로 화상을 표시하는 장치로, 최근 종래의 브라운관 (cathode ray tube: CRT)을 대체할 수 있는 평판 디스플레이로서 크게 연구 개발되고 있다. 전계 방출 디스플레이 캐소드 판의 핵심 구성 요소인 전계 에미터는 소자 구조, 에미터 물질, 에미터 모양에 따라 전자 방출 효율이 크게 달라진다.

<11> 현재 전계 방출 소자의 구조는 크게 캐소드 (또는 에미터)와 아노드로 구성된 2극형(diode)과 캐소드, 게이트, 아노드로 구성된 3극형(triode)으로 분류할 수 있다. 에미터 물

질로는 주로 금속, 실리콘, 다이아몬드, 다이아몬드상 카본 (diamond like carbon), 탄소 나노튜브 (carbon nanotube) 등이 사용되고 있으며, 일반적으로 금속과 실리콘은 3극형 구조로, 다이아몬드 또는 탄소 나노튜브 등은 2극형 구조로 주로 제작되고 있다.

<12> 2극형 전계 에미터는 주로 다이아몬드 또는 탄소 나노튜브를 막(film) 형태로 형성하여 제작하며, 3극형에 비해서 전자 방출의 제어성 및 저전압 구동 측면에서 불리하지만 제작 공정이 간단하고 또한 전자 방출의 신뢰성이 높다는 장점을 가진다.

<13> 이하, 첨부한 도면을 참조하여 종래 기술에 의한 전계 에미터를 가지는 전계 방출 디스플레이를 설명한다.

<14> 도 1은 종래의 2극형 전계 에미터를 가진 전계 방출 디스플레이의 구성을 보여주는 개략도이다.

<15> 하부 유리 기판(10B) 상에 티 형태로 배열된 캐소드 전극(11)과 상기 캐소드 전극 (11)의 일영역 상에 막(film)형의 전계 에미터 물질(12)을 가진 캐소드 판과, 상부 유리 기판(10T) 상에 티 형태로 배열된 투명한 아노드 전극(13)과 상기 투명 전극(13)의 일부 위에 빨강(R), 녹색(G), 파랑색(B)의 형광체(phosphor)(14)를 가진 아노드 판이, 스페이서(spacer)(15)를 지지대로 하여 캐소드 판과 아노드 판의 구성 요소가 서로 맞보면서도 평행하게 진공 패키징되어 있다. 캐소드 판의 캐소드 전극(11)과 아노드 판의 투명 아노드 전극 (13)은 각각 서로 교차되도록 정렬되어 교차 영역이 하나의 픽셀 (pixel)로 정의된다.

<16> 도 1의 전계 방출 디스플레이에서 전자 방출에 필요한 전기장(electric field)은 상기 캐소드 전극(11)과 아노드 전극(13)의 전압차로 주어지며, 통상 전계 에미터 물질에 $0.1 \text{ V}/\mu\text{m}$ 이상의 전기장이 인가되면 전계 에미터에서 전자 방출이 일어나는 것으로 알려져 있다.

- <17> 도 2는 도 1의 전계 방출 디스플레이의 단점을 개선하기 위해 제안된 것으로, 캐소드 판의 각 픽셀에 전계 에미터를 제어하기 위한 제어 소자를 채택하고 있는 종래 기술의 전계방출 디스플레이의 구성을 도시하는 개략도이다.
- <18> 유리 기판(20B) 상에 금속으로 이루어지며, 전기적으로 행열 어드레싱을 가능하게 하는 띠형의 스캔(scan) 신호선(21S) 및 데이터(data)신호선(21D)와, 상기 스캔 신호선(21S)와 데이터 신호선(21D)에 의해 정의되는 각 픽셀이 다이아몬드, 다이아몬드상 카본, 탄소 나노튜브 등으로 이루어진 막형(박막 또는 후막)의 전계 에미터(22)와, 스캔 신호선(21S)와 데이터 신호선(21D) 및 전계 에미터(22)와 연결되어 디스플레이의 스캔 및 데이터 신호에 따라 전계 방출 전류를 제어하는 제어 소자(23)으로 이루어진 캐소드 판과, 유리 기판(20T) 상에 티 형태로 배열된 투명한 아노드 전극(24)과 상기 투명 전극(24)의 일부 위에 빨강(R), 녹색(G), 파랑색(B)의 형광체 (phosphor)(25)를 가진 아노드 판이, 스페이서(spacer)(26)를 지지대로 하여 캐소드 판과 아노드 판의 구성 요소가 서로 맞보면서도 평행하게 진공 패키징되어 있다.
- <19> 도 2의 전계 방출 디스플레이는 아노드 전극(24)에 고전압을 인가하여 상기 캐소드 판의 막형의 전계 에미터(22)로부터 전자 방출을 유도함과 동시에 방출된 전자를 고에너지로 가속시킬 수 있도록 한 후, 스캔 신호선(21S) 및 데이터 신호선 (21D)을 통해 디스플레이의 신호를 제어 소자(23)에 입력시키면, 제어 소자(23)가 막형의 전계 에미터로부터 방출되는 전자량을 제어함으로써 행열 화상을 표현한다.
- <20> 상술한 바와 같은 도 1 및 도 2의 전계 방출 디스플레이에서 사용된 2극형 전계 에미터는 원추형 3극 전계 에미터와는 달리 게이트 및 게이트 절연막이 필요없기 때문에 구조가 간단하고 제작 공정이 용이한 장점을 가진다.

- <21> 또한, 2극형 전계 에미터는 전자 방출시 스퍼터링 효과에 의한 전계 에미터의 파괴 확률이 매우 낮기 때문에 소자의 신뢰성이 높을 뿐만 아니라, 3극형 전계 에미터에서 크게 문제가 되는 게이트 및 게이트 절연체의 파괴 현상이 전혀 없다.
- <22> 그러나, 도 1의 2극형 전계 에미터를 가진 전계 방출 디스플레이는 전계 방출에 필요한 높은 전기장(통상적으로 수 $V/\mu m$)을 상당한 간격으로 떨어진 상판과 하판(통상 $200\mu m \sim 2mm$ 임)의 전극(도 1의 캐소드 전극 (11)과 투명 아노드 전극 (13))을 통하여 인가하기 때문에 고전압의 디스플레이 신호가 필요하게 되고, 이에 따라 고가의 고전압 구동회로가 요구되는 단점을 가진다.
- <23> 특히, 도 1의 2극형 전계 에미터를 가진 전계 방출 디스플레이에서는 비록 상판과 하판의 간격을 줄여서 전자 방출에 필요한 전압을 감소시킨다 하더라도, 아노드 전극(13)이 디스플레이의 신호선인 동시에 전자의 가속 전극으로 사용되기 때문에 저전압 구동이 거의 불가능하다. 전계 방출 디스플레이에서 형광체를 발광시키는데는 통상 200 eV 이상의 고에너지 전자가 필요하고, 전자 에너지가 클수록 발광 효율이 높기 때문에 아노드 전극에 고전압을 인가하여야만 고휘도 전계 방출 디스플레이를 얻을 수 있다.
- <24> 도 2의 종래 2극형 전계 에미터를 가진 액티브-매트릭스 전계 방출 디스플레이는 각 픽셀에 전계 에미터의 제어 소자(23)를 채택하고, 이를 통하여 디스플레이 신호를 입력함으로써, 도 1의 고전압 구동 문제점과 더불어 전자 방출의 불균일성, 크로스 토크(cross talk) 등의 문제점을 동시에 해결할 수 있다. 그러나, 전계 방출 및 전자 가속을 위해 아노드 전극(24)에 인가되는 고전압은 각 픽셀의 제어 소자(23)에 상당한 전압을 유도하게 되며, 만약 제어 소자(23)의 소자 파괴전압 (breakdown voltage) 이상으로 전압이 유도되면 제어 소자의 파괴를 유발시킨다.

<25> 따라서, 아노드 전극(24)에 인가할 수 있는 전압이 제어 소자(23)의 소자 파괴 특성에 따라 제한되고, 제한된 아노드 전압으로 인해 고휘도의 전계 방출 디스플레이를 제조하기 어려운 단점을 가진다.

【발명이 이루고자 하는 기술적 과제】

<26> 따라서, 본 발명은 상술한 문제점을 해결하기 위하여 안출된 것으로, 본 발명의 목적은 전계 방출 디스플레이의 스캔 및 데이터 신호를 각 픽셀의 제어 소자에 입력하여 구동함으로써 디스플레이 행 열 구동 전압을 크게 감소시킬 수 있도록 하는 것이다.

<27> 본 발명의 다른 목적은 전계 방출에 필요한 전기장을 게이트 전극을 통하여 인가하도록 구성하여 아노드 판과 캐소드 판의 간격을 자유로이 조절가능하게 하여 아노드에 고전압을 인가할 수 있도록 하며, 따라서, 전계 방출 디스플레이의 휘도를 향상시키는 것이다.

<28> 본 발명의 또다른 목적은 게이트 판을 캐소드 판과 독립적으로 제작 및 조립할 수 있기 때문에 제작 공정이 매우 용이하고, 전계 에미터의 게이트 절연막 파괴를 근본적으로 제거할 수 있도록 하여 제조 생산성 및 수율을 향상시키는 것이다.

<29> 또한, 본 발명의 또 다른 목적은 전계 에미터로부터 방출된 전자를 아노드의 형광체에 집속시키는 역할과 함께 추가적인 포커싱 그리드 없이도 고해상도를 실현할 수 있는 전계 방출 디스플레이를 제공하는 것이다.

【발명의 구성 및 작용】

<30> 상술한 문제점을 해결하기 위한 기술적 수단으로서, 본 발명의 제 1 측면은 기관 상부에 행열 어드레싱을 가능하게 하는 띠형의 행열 신호선들과, 상기 행 신호선과 열 신호선에 의해 정의되는 각 픽셀을 구비하되, 상기 각 픽셀은 막형의 전계 에미터와 적어도 상기 행열 신호선

과 연결된 2개의 단자와 상기 막형의 전계 에미터와 연결된 1개의 단자를 가지고 상기 전계 에미터를 제어하는 제어 소자를 구비하는 캐소드 판; 상기 각 픽셀당, 투명 전극과 상기 투명 전극의 일영역 상에 형광체를 구비하는 아노드 판; 상기 각 픽셀당, 내부에 경사진 내벽을 가지는 게이트 구멍을 가지고, 상기 게이트 구멍 상부 주위에는 게이트 전극을 구비하는 게이트 판; 및 상기 게이트 판을 캐소드 판과 아노드 판 사이에서 지지하는 스페이서를 구비하되, 상기 캐소드 판의 전계 에미터는 상기 게이트 구멍을 통하여 상기 아노드 판의 형광체와 서로 대향할 수 있도록 구성되며, 진공 패키징되어 있는 게이트 판을 구비하는 전계 방출 디스플레이를 제공한다.

<31> 본 발명의 제 2 측면은 기관 상부에 행열 어드레싱을 가능하게 하는 띠형의 행열 신호선들과, 상기 행 신호선과 열 신호선에 의해 정의되는 각 픽셀을 구비하되, 상기 각 픽셀은 막형의 전계 에미터와 적어도 상기 행열 신호선과 연결된 2개의 단자와 상기 막형의 전계 에미터와 연결된 1개의 단자를 가지고 상기 전계 에미터를 제어하는 제어 소자를 구비하는 캐소드 판; 상기 각 픽셀당, 투명 전극과 상기 투명 전극의 일영역 상에 형광체를 구비하는 아노드 판; 상기 각 픽셀당, 내부에 경사진 내벽을 가지는 게이트 구멍을 가지고, 상기 게이트 구멍 상부 주위에는 게이트 전극을 구비하는 게이트 판; 및 상기 게이트 판을 캐소드 판과 아노드 판 사이에서 지지하는 스페이서를 구비하되, 상기 캐소드 판의 전계 에미터는 상기 게이트 구멍을 통하여 상기 아노드 판의 형광체와 서로 대향할 수 있도록 구성되어 진공 패키징되며, 상기 전계 에미터는 여러 개의 영역으로 분리된 도트들로 이루어지고, 상기 게이트 판의 상기 게이트 구멍이 이들 도트 각각에 대응되는 개수로 구성되어 있으며, 상기 게이트 구멍들 중 적어도 하나는 경사진 내벽을 가지는 게이트 판을 구비하는 전계 방출 디스플레이를 제공한다.

- <32> 본 발명의 제 3 측면은 기판 상부에 행열 어드레싱을 가능하게 하는 띠형의 행열 신호선들과, 상기 행 신호선과 열 신호선에 의해 정의되는 각 픽셀을 구비하되, 상기 각 픽셀은 막형의 전계 에미터와 적어도 상기 행열 신호선과 연결된 2개의 단자와 상기 막형의 전계 에미터와 연결된 1개의 단자를 가지고 상기 전계 에미터를 제어하는 제어 소자를 구비하는 캐소드 판과, 상기 각 픽셀당, 투명 전극과 상기 투명 전극의 일영역 상에 형광체를 구비하는 아노드 판 및 상기 캐소드 판과 아노드 판을 일정간격으로 지지하는 스페이서를 구비하되,
- <33> 캐소드 판 상부에는, 상기 각 픽셀당, 내부에 경사진 내벽을 가지는 게이트 구멍을 포함하는 절연층과 상기 게이트 구멍 상부 주위에 형성된 게이트 전극을 더 포함하고, 캐소드 판의 전계 에미터는 상기 게이트 구멍을 통하여 상기 아노드 판의 형광체와 서로 대향할 수 있도록 구성되며, 진공 패키징되어 있는 전계 방출 디스플레이를 제공한다.
- <34> 본 발명의 제 4 측면은 기판 상부에 행열 어드레싱을 가능하게 하는 띠형의 행열 신호선들과, 상기 행 신호선과 열 신호선에 의해 정의되는 각 픽셀을 구비하되, 상기 각 픽셀은 막형의 전계 에미터와 적어도 상기 행열 신호선과 연결된 2개의 단자와 상기 막형의 전계 에미터와 연결된 1개의 단자를 가지고 상기 전계 에미터를 제어하는 제어 소자를 구비하는 캐소드 판과, 각 픽셀당, 투명 전극과 상기 투명 전극의 일영역 상에 형광체를 구비하는 아노드 판과, 캐소드 판과 아노드 판을 일정간격으로 지지하는 스페이서를 구비하되,
- <35> 캐소드 판 상부에는, 상기 각 픽셀당, 내부에 경사진 내벽을 가지는 게이트 구멍을 포함하는 절연층과 상기 게이트 구멍 상부 주위에 형성된 게이트 전극을 더 포함하고, 캐소드 판의

전계 에미터는 상기 게이트 구멍을 통하여 상기 아노드 판의 형광체와 서로 대향할 수 있도록 구성되며, 진공 패키징되며, 전계 에미터는 여러 개의 영역으로 분리된 도트들로 이루어지고, 상기 게이트 판의 상기 게이트 구멍이 이들 도트 각각에 대응되는 개수로 구성되어 있으며, 상기 게이트 구멍들 중 적어도 하나는 경사진 내벽을 가지는 전계 방출 디스플레이를 제공한다.

<36> 이하, 첨부된 도면을 참조하여 본 발명에 따른 실시예들을 상세히 설명한다. 그러나, 이하의 실시예는 이 기술 분야에서 통상적인 지식을 가진 자에게 본 발명이 충분히 이해되도록 제공되는 것으로서 여러 가지 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 기술되는 실시예에 한정되는 것은 아니다.

<37> (제 1 실시예)

<38> 제 1 실시예에 의한 전계 방출 디스플레이는 종래 기술과 비교하여 캐소드 판, 게이트 구멍 및 구동 방법에서 특히 중요한 차이점을 가진다. 이하, 도 3 내지 도 6을 참고하여 상세히 설명한다.

<39> 먼저, 도 3은 본 발명의 제 1 실시예에 의한 액티브-매트릭스 전계 방출 디스플레이의 구성을 보여주는 개략도이고, 도 4는 본 발명의 실시예에 의한 전계 방출 디스플레이의 캐소드 판, 게이트 판, 아노드 판을 분리하여 보여주는 개략도이다. 본 발명의 실시예에 의한 전계 방출 디스플레이는 캐소드 판(100), 게이트 판(200) 및 아노드 판(300)을 구비하여 구성된다.

<40> 캐소드 판(100)은 유리, 플라스틱, 각종 세라믹, 각종 투명성 절연성 기판 등의 절연성 기판(110)상에, 금속으로 이루어져 전기적으로 행열 어드레싱이 가능하게 하는 띠 형의 행 신호선 (120S)과 열 신호선(120D)을 가진다. 이 행 신호선(120S)과 열 신호선(120D)들에 의해 단위 픽셀들이 정의된다. 각 픽셀은 다이아몬드, 다이아몬드상 카본, 탄소 나노튜브 등으로 이루어진 막형(박막 또는 후막)의 전계 에미터(130)와 전계 에미터의 제어 소자(140)를 구비한다. 제어 소자(140)는 적어도 행 신호선(120S) 및 열 신호선 (120D)과 연결된 2개의 단자와 막형의 전계 에미터(130)와 연결된 1개의 단자를 구비하는 것이 바람직하며, 예를 들어 제어 소자(40)는 비정질 박막 트랜지스터, 폴리실리콘 박막 트랜지스터 또는 금속-산화물-반도체 전계 효과 트랜지스터(metal-oxide-semiconductor field effect transistor)등이 가능하다.

<41> 게이트 판(200)은 기판(210) 상에 관통하는 게이트 구멍(220)과 게이트 구멍 (220) 주위에 금속으로 이루어진 게이트 전극(230)을 구비한다. 게이트 판(200)의 기판(210)은 유리, 플라스틱, 각종 세라믹, 각종 투명성 절연성 기판 등의 투명 기판으로 형성가능하고, 경우에 필요에 따라서는 불투명 기판을 이용할 수도 있다. 게이트 판(200)의 두께는 예를 들어 0.01 ~ 1.1 mm로 제작가능하고, 게이트 전극은 대략 수백 내지 수천 ?? 정도의 두께로 제작할 수 있다. 게이트 전극(23)으로 사용가능한 금속은 예를 들어 크롬, 알루미늄, 몰리브덴 등 특별히 한정되지 않는다. 또한, 게이트 구멍(220)은 캐소드 판(100)에 형성된 단위 픽셀(예를 들어, 약 수십 μm 내지 수백 μm)의 개구 역할을 하기 위해, 예컨대, 각 픽셀 보다 약간 크게 오픈되도록 형성할 수 있다.

<42> 다만, 게이트 구멍(220)은 경사진 내벽을 가지도록 구성된다. 즉, 캐소드 판(100)쪽에서 아노드 판(300)쪽으로 갈수록 구멍의 크기가 작아지는 구조를 갖는다. 이 구조에 의해 전

게 에미터(130)로부터 방출된 전자를 아노드의 형광체(330)에 집속시키는 역할을 하고 이에 따라 고해상도의 전계방출 디스플레이를 제작가능하게 된다.

<43> 한편, 게이트 구멍의 크기, 형상, 게이트 판(200)의 두께, 게이트 전극(230)의 두께 등은 특별히 한정되지 않고 다양하게 변형 가능함은 당업자에게는 자명하다.

<44> 아노드 판(300)은 유리, 플라스틱, 각종 세라믹, 각종 투명성 절연성 기판 등의 투명 기판(310)상에, 투명 전극(320)과 투명 전극 (320)의 일부 영역 상에 형성된 빨강(R), 녹색(G), 파랑색(B)의 형광체(330)를 구비한다.

<45> 한편, 게이트 판(200)과 아노드 판(300)은 스페이서(400)를 이용하여 지지대로 하여, 캐소드 판(100)의 전계 에미터(130)가 게이트 판(200)의 게이트 구멍(220)을 통하여 아노드 판(300)의 형광체(330)와 서로 대향되고 평행하게 진공 패키징된다. 스페이서(400)는 유리구슬, 비드, 세라믹 또는 폴리머 등으로 제조가능하며, 예를 들어 200 μm 내지 3mm 정도의 두께를 가질 수 있다.

<46> 한편, 게이트 전극(230)으로 사용하는 금속의 종류 또는 막의 두께를 선별하여 게이트 전극(230)을 광차폐막으로 겸용하는 것도 가능하다.

<47> 다음으로, 본 발명의 실시예에 따른 전계 방출 디스플레이의 제조방법의 일예를 도 5를 참조하여 상세히 설명한다. 도 5는 본 발명에 의한 전계 방출 디스플레이의 단위 픽셀을 보여주는 단면도이다. 도 5의 실시예에서 게이트 판은 캐소드 판에 밀착되어 있는 반면, 아노드 판은 스페이서를 지지대로 하여 게이트 판과 이격되어 진공 패키징되어 있다. 캐소드 판, 게이트 판 및 아노드 판은 각각 독립적으로 제작하여 서로 결합할 수 있다.

- <48> 도 5의 전계 방출 디스플레이의 단위 픽셀은 캐소드 판, 게이트 판 및 아노드 판을 포함하여 구성된다. 캐소드 판은 기판(110), 박막 트랜지스터 부분, 전계 에미터 등을 구비한다.
- <49> 박막 트랜지스터 부분은 기판(110) 상의 일부에 금속으로 이루어진 게이트(141)와, 게이트(141)를 포함한 기판(110) 상에 비정질 실리콘 질화막(a-SiNx) 또는 실리콘 산화막으로 이루어진 박막 트랜지스터의 게이트 절연막(142)과, 상기 게이트(141)와 게이트 절연막(142)의 일부 위에 비정질 실리콘(a-Si)으로 이루어진 박막 트랜지스터의 활성층(143)과, 활성층(143)의 양끝 영역에 n-형 비정질 실리콘으로 이루어진 박막 트랜지스터의 소스(144) 및 드레인(145)과, 소스(144)와 게이트 절연막(142)의 일부 위에 금속으로 이루어진 박막 트랜지스터의 소스 전극(146)과, 드레인(145)와 게이트 절연막(142)의 일부 위에 금속으로 이루어진 박막 트랜지스터의 드레인 전극(147)과, 박막 트랜지스터의 활성층(143) 및 상기 박막 트랜지스터의 소스 전극(146) 그리고 드레인 전극(147)의 일부 위에 비정질 실리콘 질화막 또는 실리콘 산화막으로 이루어진 층간절연막(패시베이션 절연막) (148)을 포함하여 구성될 수 있다.
- <50> 전계 에미터(130)는 박막 트랜지스터의 드레인 전극(147)의 일부 위에 다이아몬드, 다이아몬드상 카본, 탄소 나노튜브 등으로 형성가능하다.
- <51> 게이트 판은 게이트 전극(230)이 없는 면이 상기 캐소드 판과 밀착되어 있되, 게이트 구멍(220)이 캐소드 판의 전계 에미터(130)과 서로 일치되도록 정렬되어 있고, 스페이서(400)를 지지대로 하여 아노드 판과 게이트 판은 서로 이격되어 형성되고 아노드 판의 형광체(330)와 캐소드 판의 전계 에미터 (130)과 서로 대향되도록 정렬되어 진공 패키징되어 있다.
- <52> 게이트 판의 게이트 구멍(220)은 경사진 내벽을 가지고 있으며, 경사진 각도는 전계 에미터로부터 방출된 전자를 아노드의 형광체에 집속시킬 수 있는 역할을 수행할 수 있으면 특별히 제한되지 않고 다양하게 변형하여 적용할 수 있다.

- <53> 스페이서(400)는 캐소드 판/게이트 판과 아노드 판 사이의 이격을 유지시키는 역할을 하며, 반드시 모든 픽셀에 설치될 필요는 없다.
- <54> 게이트 판은 유리 기판(210)을 관통하여 형성된 게이트 구멍(220)과, 상기 게이트 구멍(220) 주위에 금속으로 이루어진 게이트 전극(230)을 구비한다.
- <55> 아노드 판은 기판(310) 상의 일부 영역에 형성된 투명 전극(320)과, 투명 전극(320)의 일부 위에 형성된 빨강, 녹색, 파랑색의 형광체(330)와, 상기 형광체(330) 사이에 형성된 블랙 매트릭스(black matrix)(340)를 구비한다.
- <56> 한편, 게이트 판은 캐소드 판과 독립적으로 제작할 수 있기 때문에 제작 공정이 매우 용이하고, 전계 에미터의 게이트 절연막 파괴를 근본적으로 제거할 수 있다. 따라서, 독립적으로 제작된 게이트 판, 캐소드 판 및 아노드 판은 서로 결합하게 된다. 이를 통해서, 전계 방출 디스플레이의 제조 생산성 및 수율을 크게 향상시킬 수 있다.
- <57> 이하, 도 3 내지 도 5를 참조하여 제 1 실시예에 의한 전계 방출 디스플레이의 구동 원리를 상세히 설명한다.
- <58> 게이트 판의 게이트 전극(230)에 예를 들어 50~1500V의 DC전압을 인가하여 캐소드 판의 막형 전계 에미터(130)으로부터 전자 방출을 유도하는 것과 동시에 아노드 판의 투명 전극(320)에 약 2kV 이상의 고전압을 인가하여 방출된 전자를 고 에너지로 가속시킬 수 있도록 한다. 한편, 디스플레이의 행 신호선(120S) 및 열 신호선(120D)에 인가되는 전압을 조정하여 캐소드 판의 각 픽셀에 있는 전계 에미터의 제어 소자의 동작을 제어한다. 즉, 각 픽셀의 전계 에미터의 제어 소자(도 3의 23)는 전계 에미터(130)의 전자 방출을 제어하여 화상을 표현한다.

<59> 이 때, 게이트 판의 게이트 전극(230)에 인가되는 전압은 아노드 전압에 의한 전계 에미터의 전자 방출을 억제하고, 또한 아노드 판과 게이트 판 사이에 전체적으로 균일한 전위를 형성함으로써 국부적인 아킹(arching)을 방지하는 역할도 한다. 디스플레이의 행 신호선(120S) 및 열 신호선(120D)에 인가되는 전압은 각각 박막트랜지스터의 게이트와 소스에 연결되며, 게이트에 인가되는 전압은 비정질 실리콘으로 활성층을 형성한 박막트랜지스터를 ON시키는 경우 10V 이상 50V 이하일 수 있고, OFF시키는 경우는 음의 전압을 인가할 수 있다. 또한, 소스에 인가되는 전압은 0 내지 50 V 정도가 가능하다. 이러한 인가 전압의 제어는 외부의 드라이버 회로부(미도시)에서 수행한다.

<60> 다음으로, 본 전계 방출 디스플레이의 제조 표현에 대해서 설명한다.

<61> 통상적인 2전극형 전계방출 소자의 제조 표현은 PWM(Pulse Width Modulation)방식을 이용하여 수행된다. 이러한 방식은 전계에미터에 인가되는 데이터 신호의 전압의 지속시간을 조정하여 제조를 표현하는 방식으로, 주어진 시간 동안 방출되는 전자량의 차이를 통해서 제조가 표현된다. 즉, 주어진 시간 동안 전자량이 많으면 해당 픽셀은 휘도가 높은 광을 방출하게 된다. 그러나, 이와 같은 방식은 대화면의 구현에 있어 단위 픽셀에 할당되는 펄스의 폭(시간)이 점차 줄어드는 상황에서 치명적인 한계를 드러내고 있게 된다. 또한, 전자 방출량을 정확하게 제어하는 것도 어려운 문제점이 있다.

<62> 본 실시예의 구동방식은 이와 같은 문제점을 극복할 수 있는 것으로, 본 전계방출 소자의 제조 표현은 PWM(Pulse Width Modulation)과 PAM(Pulse Amplitude)방식을 독립적으로 또는 혼합하여 사용할 수 있다. PAM 방식은 데이터 신호로 인가되는 진폭의 차이를 토하여 제조를 표현하는 방식으로, 박막트랜지스터가 ON된 상태에서 소스에 인가되는 전압의 레벨 차이를 통하여 전계 에미터에 전달되는 전자의 양이 달라질 수 있음을 이용한다. 전압 레벨의 차이는 2

개 또는 그 이상으로 레벨을 달리하여 계조를 표현가능한 것도 당연하다. 이러한 구동 방식을 이용하면 대화면에 적용하는 경우도 가능함은 물론이고 전자방출도 일정하게 제어할 수 있게 된다.

<63> (제 2 실시예)

<64> 이하, 본 발명의 제 2 실시예 또는 변형예들에 대해서 도 6을 참조하여 상세히 설명한다

<65> 도 6은 본 발명의 다른 실시예에 따른 전계 방출 디스플레이의 구성을 도시한 도면이다. 이 경우, 아노드 판은 도 5의 실시예와 동일하나, 캐소드 판의 전계 에미터(130)가 여러 개의 도트(dot)들로 구성되고, 게이트 판의 게이트 구멍(220)이 캐소드 판의 전계 에미터(130)의 도트 수와 일치되게 여러 개로 구성되어 있는 점이 다르다. 이와 같은 구조는 에노드 판의 전극에 고전압을 인가하기에 효율적인 장점이 있는 구조로 여러 개의 도트(dot)들을 통해서 고전압이 전기장이 전계에미터에 악영향을 미치는 것을 방지할 수 있는 효과가 있다.

<66> 각 게이트 구멍(220) 중 적어도 하나는 경사진 내벽을 가지고 있으며, 그 상부에는 게이트 전극(230)을 구비하고 있다. 한편, 도 6에는 각 게이트 구멍(220)이 모두 경사진 내벽을 가지는 것으로 도시되어 있지만, 반드시 이에 한정되지 않음은 전술한 바와 같다.

<67> (제 3 실시예)

- <68> 설명의 편의를 위해, 제 1 실시예와의 차이점을 기준으로 제 3 실시예를 설명한다. 제 1 실시예는 캐소드 판, 게이트 판 및 아노드 판을 구비하는 전계방출 디스플레이인 반면, 제 3 실시예에서는 캐소드 판 및 아노드 판을 구비하는 전계방출 디스플레이이다.
- <69> 제 3 실시예에 의하면, 게이트 판을 따로 구비하지 않고, 전계 에미터, 제어소자 등이 모두 형성된 제 1 실시예의 캐소드 판 상부에 절연층이 구비되고 이 절연층에는 경사진 내벽을 가지는 게이트 구멍이 형성된다.
- <70> 절연층은 특별히 한정되지 않은 다양한 물질이 채용가능하고 예를 들어 두께 0.01 내지 2 mm로 제작할 수 있다. 경사진 내벽을 가지도록 하기 위한 방법으로서는 식각선택비가 다른 절연층을 여러층 형성하여 습식식각에 의해 식각함에 따라 경사진 내벽을 갖도록 할 수도 있고, 또는 식각비가 다른 절연체를 적층하여 만든 그린시트(green sheet)를 캐소드 판에 라미네이션 방식으로 부착한 후 열처리 및 식각공정을 통해 경사진 내벽을 형성할 수 있다.
- <71> 이와 같은 제 3 실시예에 의하면, 별도의 게이트 판이 구비될 필요가 없어 이를 캐소드 판과 접착하는 공정도 생략가능하고 생산비용도 저렴할 수 있는 효과가 있다.
- <72> (제 4 실시예)
- <73> 설명의 편의를 위해, 제 2 실시예와의 차이점을 기준으로 제 4 실시예를 설명한다. 제 2 실시예는 캐소드 판, 게이트 판 및 아노드 판을 구비하는 전계방출 디스플레이인 반면, 제 4 실시예에서는 캐소드 판 및 아노드 판을 구비하는 전계방출 디스플레이이다.

- <74> 제 4 실시예에 의하면, 게이트 판을 따로 구비하지 않고, 전계 에미터, 제어소자 등이 모두 형성된 제 2 실시예의 캐소드 판 상부에 절연층이 구비되고 이 절연층에는 경사진 내벽을 가지는 게이트 구멍이 형성된다.
- <75> 한편, 캐소드 판의 전계 에미터 여러 개의 도트(dot)들로 구성되고, 게이트 구멍이 캐소드 판의 전계 에미터의 도트 수와 일치되게 여러 개로 구성되어 있는 점이 다르다.
- <76> (실험예)
- <77> 다음으로, 본 발명의 제 1 실시예를 적용하여 실제 제작한 게이트 판을 구비하는 전계 방출 디스플레이의 단위 소자의 실험예를 설명한다.
- <78> 도 7은 경사진 내벽이 형성된 게이트 구멍을 구비하는 게이트 판을 가지는 전계방출 디스플레이에 게이트 전압의 인가에 따른 아노드 방출 전류(anode emission current)를 나타낸 그래프이다.
- <79> 본 실험에서 게이트 판은 0.4mm 두께로 제작되었고 게이트 구멍은 원형으로 제작되었으며 큰 부분의 직경이 0.4mm, 작은 부분의 직경이 0.3mm로 제작되었다. 결과적으로 경사진 내벽의 경사각은 대략 $\tan^{-1}4$ 정도이다. 또한, 제어소자로는 박막 트랜지스터(TFT)를 사용하였다.
- <80> 도 7을 참조하면, 아노드 판의 투명전극에 인가되는 전압(V_A)이 1500V인 경우 게이트 전압(V_M)이 각각 450V, 500V로 변경될 때, 아노드 방출 전류(μA)가 20V 정도의 영역에서 박막 트랜지스터의 게이트에 인가되는 전압에 의해 제어가능함을 나타내고 있다. 또한, 이 실험에서

게이트 판의 게이트의 누설전류는 거의 검출되지 않았고 아노드 전압의 인가는 방출 전류에 영향을 미치지 않았다.

<81> 도 8은 경사진 내벽을 가지는 게이트 구멍의 경우 포텐셜의 형태(potential contour)와 전자빔의 궤도(trajec-tory)의 시뮬레이션 결과를 도시한 그래프이다. 전계 에미터의 중앙부(A)와 가장자리부(B)에서의 전자빔의 궤도를 계산하였다.

<82> 이 시뮬레이션의 결과에 따르면, 전계 에미터의 가장자리로부터 방출된 전자들도 구멍의 중앙부로 진행하여 빔의 다이버전스는 매우 작았다. 실제로, 전자빔의 다이버전스(beam divergence)는 $0.5V/\mu m$ 에서 $0.1mm$ 이하로 측정되었다. 이 정도의 수치는 스피트 타입 에미터에 비해 매우 작은 수치이다. 결과적으로, 경사진 내벽을 가지는 게이트 구멍은 그 자체적으로 포커싱 효과를 가지고 있어 추가적인 포커싱 그리드 없이도 고해상도의 FED 패널을 제조가 가능하게 한다.

<83> 이상에서 설명한 본 발명은 전술한 실시 예 및 첨부된 도면에 의해 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

【발명의 효과】

- <84> 상술한 바와 같이, 디스플레이 행열 구동 전압을 크게 감소시킬 수 있으며, 이에 따라 종래의 2극형 전계 방출 디스플레이의 행열 구동시 요구되는 고전압 구동회로 대신에 저가의 저전압 구동회로를 사용할 수 있는 장점을 가진다.
- <85> 한편, 본 발명에서는 전계 방출에 필요한 전기장을 게이트 판의 게이트 전극을 통하여 인가할 수 있기 때문에 아노드 판과 캐소드 판의 간격을 자유로이 조절할 수 있으며, 이에 따라 아노드에 고전압을 인가할 수 있게 되어 전계 방출 디스플레이의 휘도를 크게 높일 수 있다.
- <86> 또한, 게이트 전극에 인가되는 전압은 아노드 전압에 의한 전계 에미터의 전자 방출을 억제하고, 또한 아노드 판과 게이트 판 사이에 전체적으로 균일한 전위를 형성함으로써 국부적인 아킹을 방지하여 전계 방출 디스플레이의 수명을 크게 향상시킨다.
- <87> 또한, 게이트 판은 캐소드 판과 독립적으로 제작되어 조립될 수 있기 때문에 제작 공정이 매우 용이하고, 전계 에미터의 게이트 절연막 파괴를 근본적으로 제거할 수 있기 때문에 전계 방출 디스플레이의 제조 생산성 및 수율을 크게 향상시킬 수 있다.
- <88> 한편, 경사진 내벽을 갖는 게이트 구멍은 전계 에미터로부터 방출된 전자를 아노드의 형광체에 집속시키는 역할을 하고 이에 따라 추가적인 포커싱 그리드 없이도 고해상도의 전계 방출 디스플레이를 제조가능하게 한다.

【특허청구범위】**【청구항 1】**

기판 상부에 행열 어드레싱을 가능하게 하는 띠형의 행열 신호선들과, 상기 행 신호선과 열 신호선에 의해 정의되는 각 픽셀을 구비하되, 상기 각 픽셀은 막형의 전계 에미터와 적어도 상기 행열 신호선과 연결된 2개의 단자와 상기 막형의 전계 에미터와 연결된 1개의 단자를 가지고 상기 전계 에미터를 제어하는 제어 소자를 구비하는 캐소드판;

상기 각 픽셀당, 투명 전극과 상기 투명 전극의 일영역 상에 형광체를 구비하는 아노드판;

상기 각 픽셀당, 내부에 경사진 내벽을 가지는 게이트 구멍을 가지고, 상기 게이트 구멍 상부 주위에는 게이트 전극을 구비하는 게이트판; 및

상기 게이트 판을 캐소드 판과 아노드 판 사이에서 지지하는 스페이서를 구비하되,

상기 캐소드 판의 전계 에미터는 상기 게이트 구멍을 통하여 상기 아노드 판의 형광체와 서로 대향할 수 있도록 구성되며, 진공 패키징되어 있는 것을 특징으로 하는 전계 방출 디스플레이.

【청구항 2】

기판 상부에 행열 어드레싱을 가능하게 하는 띠형의 행열 신호선들과, 상기 행 신호선과 열 신호선에 의해 정의되는 각 픽셀을 구비하되, 상기 각 픽셀은 막형의 전계 에미터와 적어도 상기 행열 신호선과 연결된 2개의 단자와 상기 막형의 전계 에미터와 연결된 1개의 단자를 가지고 상기 전계 에미터를 제어하는 제어 소자를 구비하는 캐소드 판;

상기 각 픽셀당, 투명 전극과 상기 투명 전극의 일영역 상에 형광체를 구비하는 아노드 판;

상기 각 픽셀당, 내부에 경사진 내벽을 가지는 게이트 구멍을 가지고, 상기 게이트 구멍 상부 주위에는 게이트 전극을 구비하는 게이트 판; 및

상기 게이트 판을 캐소드 판과 아노드 판 사이에서 지지하는 스페이서를 구비하되,
상기 캐소드 판의 전계 에미터는 상기 게이트 구멍을 통하여 상기 아노드 판의 형광체와 서로 대향할 수 있도록 구성되어 진공 패키징되며,

상기 전계 에미터는 여러 개의 영역으로 분리된 도트들로 이루어지고, 상기 게이트 판의 상기 게이트 구멍이 이들 도트 각각에 대응되는 개수로 구성되어 있으며, 상기 게이트 구멍들 중 적어도 하나는 경사진 내벽을 가지는 것을 특징으로 하는 전계 방출 디스플레이.

【청구항 3】

제 1 항 또는 제 2 항에 있어서,

상기 아노드 판, 캐소드 판 및 게이트 판은 각각 별개의 투명 기판으로 구성되는 것을 특징으로 하는 전계 방출 디스플레이.

【청구항 4】

제 1 항 또는 제 2 항에 있어서,

상기 스페이서는 상기 아노드 판과 상기 게이트 판 사이에 형성된 것을 특징으로 하는 것을 특징으로 하는 전계 방출 디스플레이.

【청구항 5】

기판 상부에 행열 어드레싱을 가능하게 하는 띠형의 행열 신호선들과, 상기 행 신호선과 열 신호선에 의해 정의되는 각 픽셀을 구비하되, 상기 각 픽셀은 막형의 전계 에미터와 적어도 상기 행열 신호선과 연결된 2개의 단자와 상기 막형의 전계 에미터와 연결된 1개의 단자를 가지고 상기 전계 에미터를 제어하는 제어 소자를 구비하는 캐소드 판;

상기 각 픽셀당, 투명 전극과 상기 투명 전극의 일영역 상에 형광체를 구비하는 아노드 판; 및

상기 캐소드 판과 아노드 판을 일정간격으로 지지하는 스페이서를 구비하되,

상기 캐소드 판 상부에는, 상기 각 픽셀당, 내부에 경사진 내벽을 가지는 게이트 구멍을 포함하는 절연층과 상기 게이트 구멍 상부 주위에 형성된 게이트 전극을 더 포함하고,

상기 캐소드 판의 전계 에미터는 상기 게이트 구멍을 통하여 상기 아노드 판의 형광체와 서로 대향할 수 있도록 구성되며, 진공 패키징되어 있는 것을 특징으로 하는 전계 방출 디스플레이.

【청구항 6】

기판 상부에 행열 어드레싱을 가능하게 하는 띠형의 행열 신호선들과, 상기 행 신호선과 열 신호선에 의해 정의되는 각 픽셀을 구비하되, 상기 각 픽셀은 막형의 전계 에미터와 적어도 상기 행열 신호선과 연결된 2개의 단자와 상기 막형의 전계 에미터와 연결된 1개의 단자를 가지고 상기 전계 에미터를 제어하는 제어 소자를 구비하는 캐소드 판;

상기 각 픽셀당, 투명 전극과 상기 투명 전극의 일영역 상에 형광체를 구비하는 아노드 판; 및

상기 캐소드 판과 아노드 판을 일정간격으로 지지하는 스페이서를 구비하되,

상기 캐소드 판 상부에는, 상기 각 픽셀당, 내부에 경사진 내벽을 가지는 게이트 구멍을 포함하는 절연층과 상기 게이트 구멍 상부 주위에 형성된 게이트 전극을 더 포함하고,

상기 캐소드 판의 전계 에미터는 상기 게이트 구멍을 통하여 상기 아노드 판의 형광체와 서로 대향할 수 있도록 구성되며, 진공 패키징되며,

상기 전계 에미터는 여러 개의 영역으로 분리된 도트들로 이루어지고, 상기 게이트 판의 상기 게이트 구멍이 이들 도트 각각에 대응되는 개수로 구성되어 있으며, 상기 게이트 구멍들 중 적어도 하나는 경사진 내벽을 가지는 것을 특징으로 하는 전계 방출 디스플레이.

【청구항 7】

제 5 항 또는 제 6 항에 있어서,

상기 아노드 판 및 캐소드 판은 각각 별개의 투명 기판으로 구성되는 것을 특징으로 하는 전계 방출 디스플레이.

【청구항 8】

제 1, 2, 5 및 6 항 중 어느 하나의 항에 있어서,

상기 각 픽셀의 상기 형광체는 빨강(R), 녹색(G) 또는 파랑색(B)의 형광체인 것을 특징으로 하는 전계 방출 디스플레이.

【청구항 9】

제 1, 2, 5 및 6 항 중 어느 하나의 항에 있어서,

상기 아노드의 상기 형광체 사이의 일정 영역에는 광차폐막이 더 형성된 것을 특징으로 하는 전계 방출 디스플레이.

【청구항 10】

제 1, 2, 5 및 6 항 중 어느 하나의 항에 있어서,

상기 전계 에미터는 다이아몬드, 다이아몬드 카본 또는 카본 나노튜브로 이루어진 박막 또는 후막으로 구성되는 것을 특징으로 하는 전계 방출 디스플레이.

【청구항 11】

제 1, 2, 5 및 6 항 중 어느 하나의 항에 있어서,

상기 제어 소자는 박막 트랜지스터 또는 금속-산화물-반도체 전계 효과 트랜지스터인 것을 특징으로 하는 전계 방출 디스플레이.

【청구항 12】

제 1, 2, 5 및 6 항 중 어느 하나의 항에 있어서,

상기 게이트 전극에는 DC 전압을 인가하여 상기 캐소드 판의 막형의 전계 에미터로부터 전자 방출을 유도하고, 상기 아노드 판의 상기 투명 전극에 DC 전압을 인가하여 방출된 전자를 고에너지로 가속시키며, 스캔 및 데이터 신호를 상기 캐소드 판의 각 픽셀에 있는 전계 에미터의 제어 소자에 어드레싱하여 상기 전계 에미터의 제어 소자는 전계 에미터의 전자 방출을 제어하여 화상을 표현하는 것을 특징으로 하는 전계 방출 디스플레이.

【청구항 13】

제 9 항에 있어서,

상기 게이트 판의 게이트 전극에는 50~1500V의 DC전압을 인가되고, 상기 아노드 판의 투명 전극에는 2kV 이상의 고전압이 인가되는 것을 특징으로 하는 전계 방출 디스플레이.

【청구항 14】

제 9 항에 있어서,

상기 화상의 계조 표현은 상기 제어 소자의 제어를 통해 상기 전계 에미터에 인가되는 데이터 신호 전압의 펄스 진폭 및/또는 펄스 폭(지속시간)을 변화시켜 확보하는 것을 특징으로 하는 전계 방출 디스플레이.

【청구항 15】

제 1, 2, 5 및 6 항 중 어느 하나의 항에 있어서,

상기 전계에미터에 인가되는 데이터 신호의 전압은 0 내지 50V의 펄스인 것을 인 것을 특징으로 하는 전계 방출 디스플레이.

【청구항 16】

제 1, 2, 5 및 6 항 중 어느 하나의 항에 있어서,

상기 제어소자는 박막트랜지스터로서,

상기 캐소드 판 상에 금속으로 이루어진 게이트; 상기 게이트를 포함한 캐소드 판 상에 형성된 게이트 절연막; 상기 게이트 및 게이트 절연막의 일부 위에 반도체 박막으로 이루어진 활성층; 상기 활성층의 양끝 영역에 형성된 소스 및 드레인; 상기 소스 및 드레인을 전극과 접속하기 위한 컨택홀을 가지는 층간절연층을 포함하여 구성되는 것을 특징으로 하는 전계 방출 디스플레이.

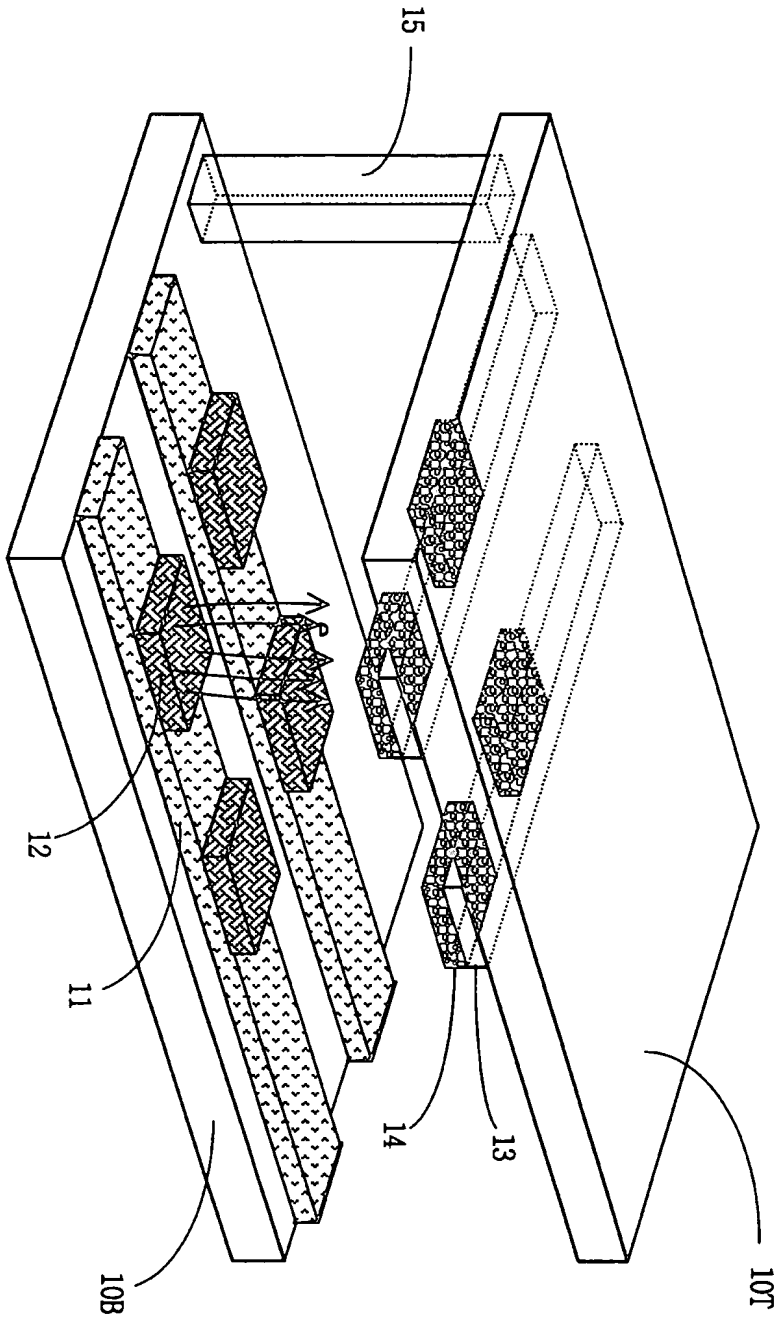
【청구항 17】

제 1, 2, 5 및 6 항 중 어느 하나의 항에 있어서,

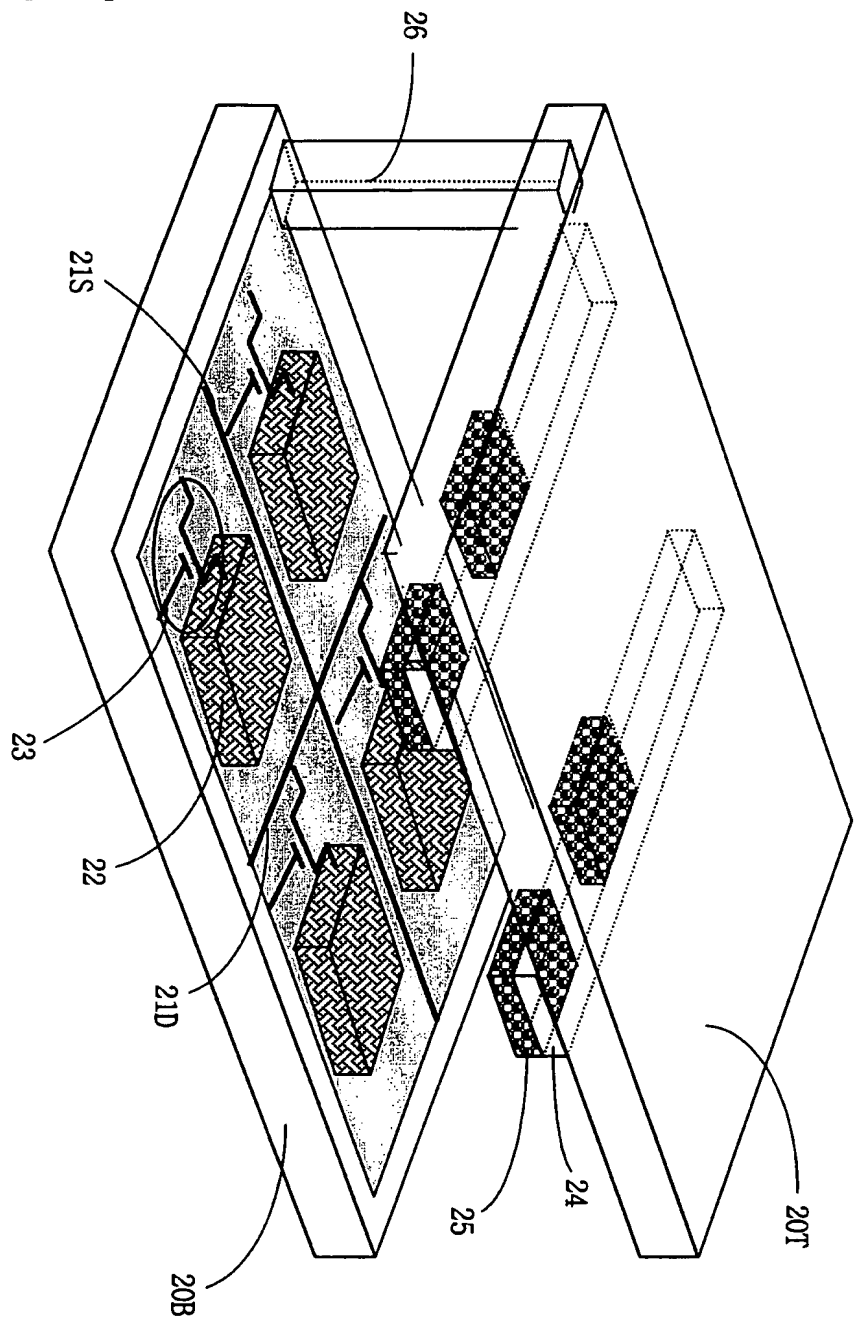
상기 박막 트랜지스터의 활성층이 비정질 실리콘 또는 폴리실리콘층으로 구성되는 것을
특징으로 하는 전계 방출 디스플레이.

【도면】

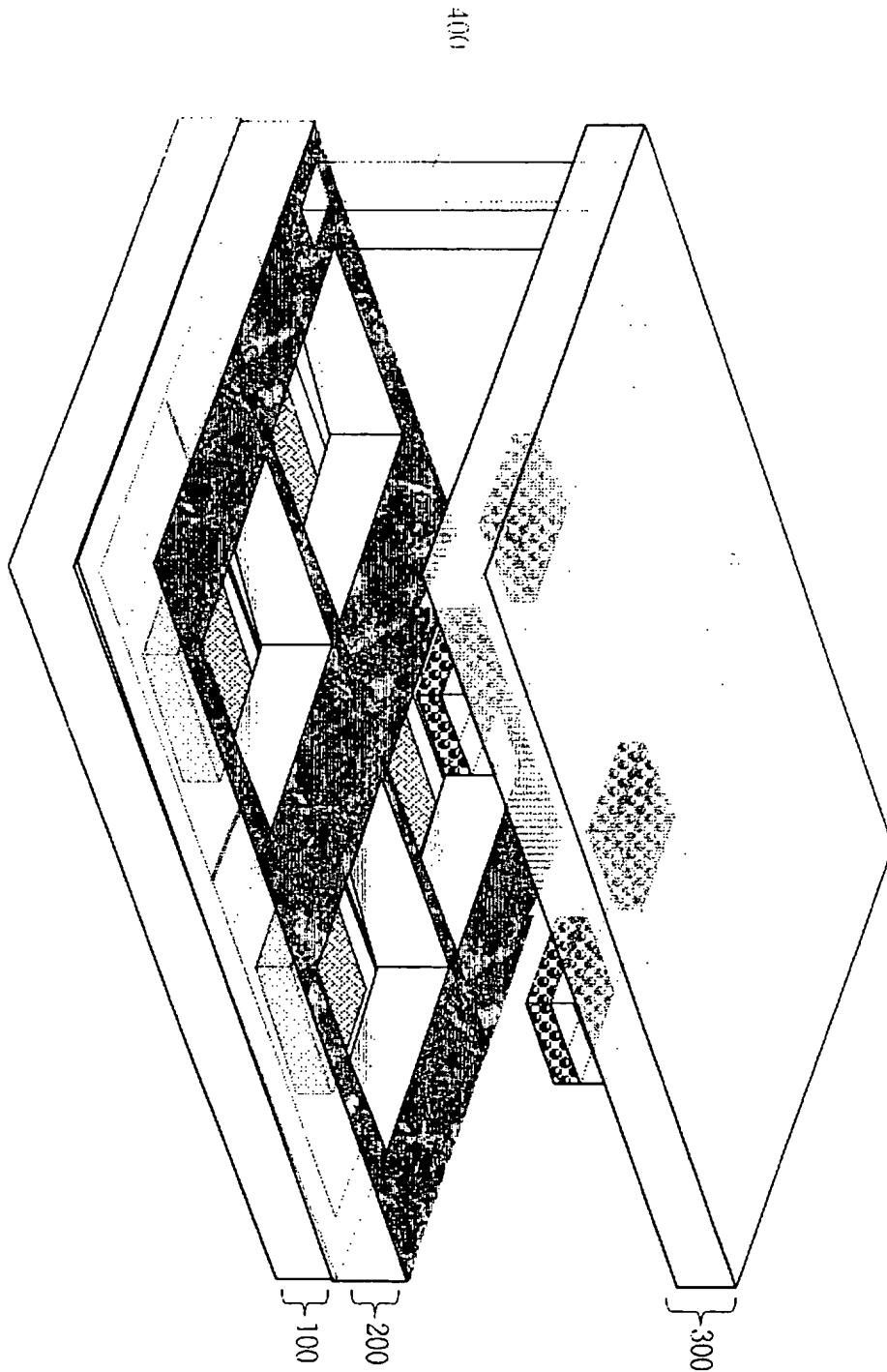
【도 1】



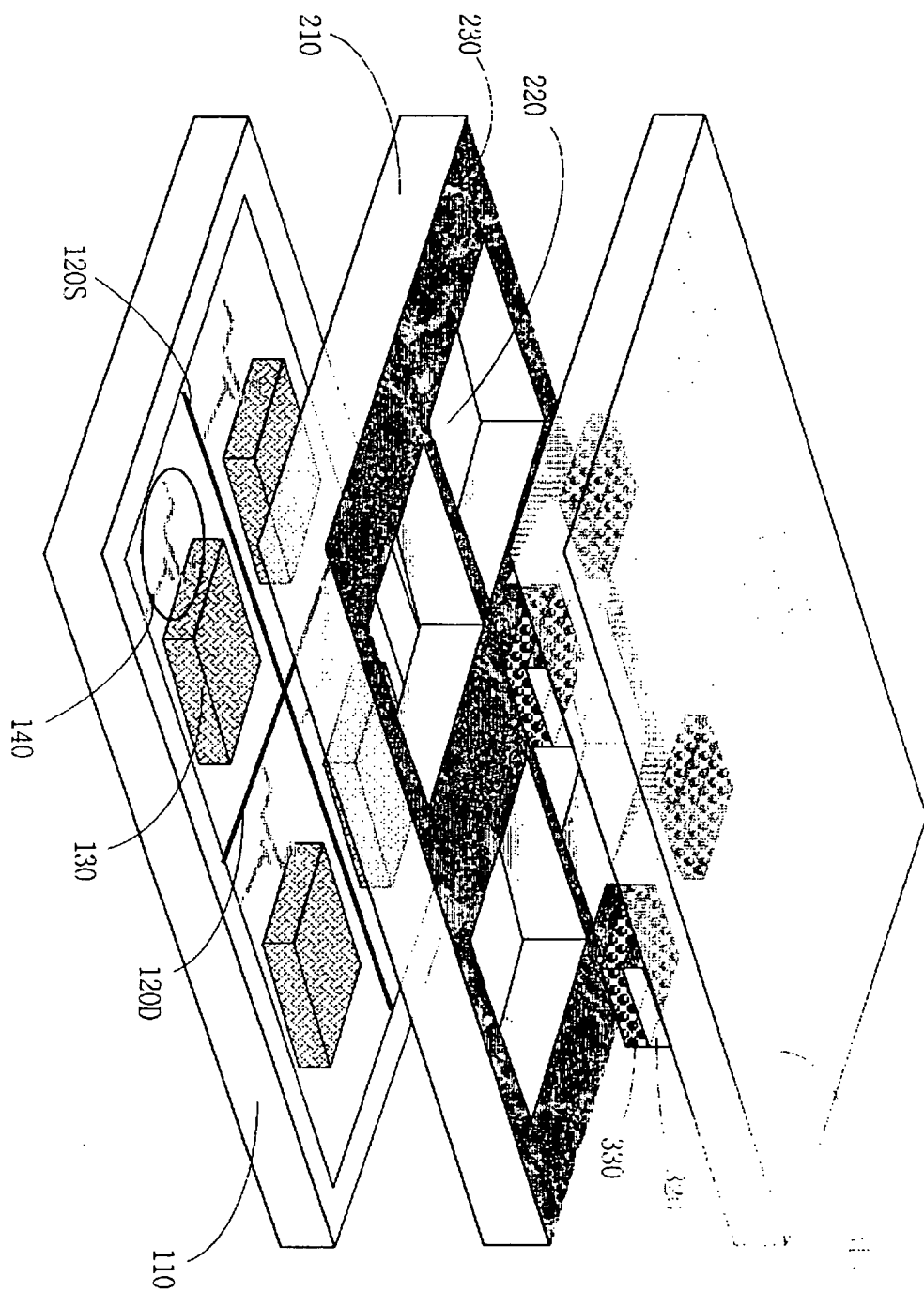
【도 2】



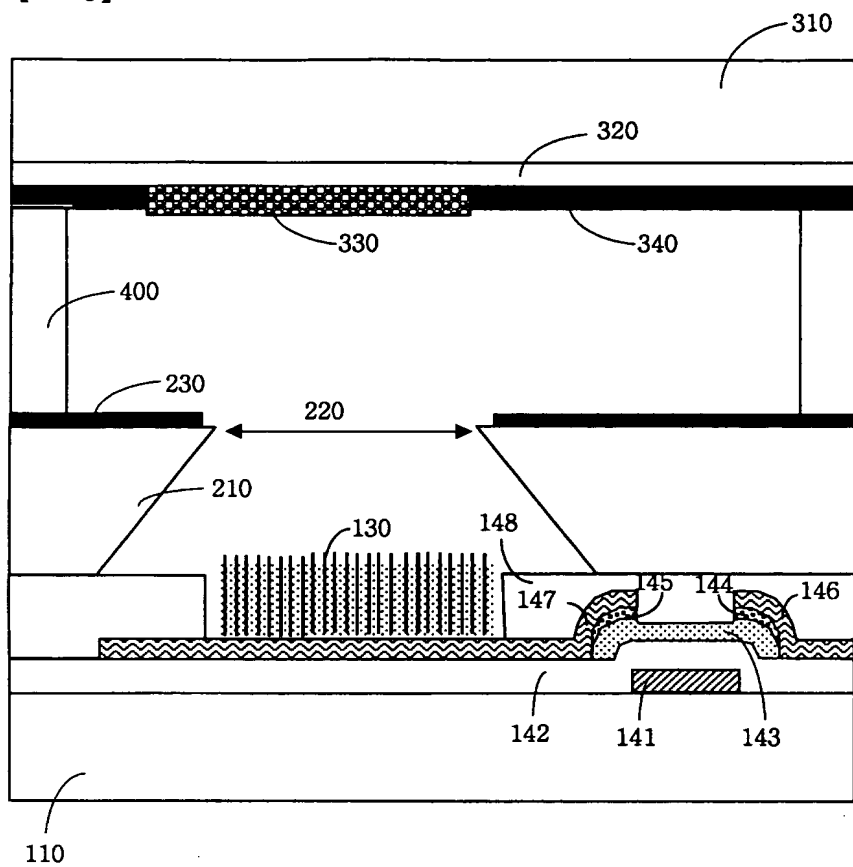
【도 3】



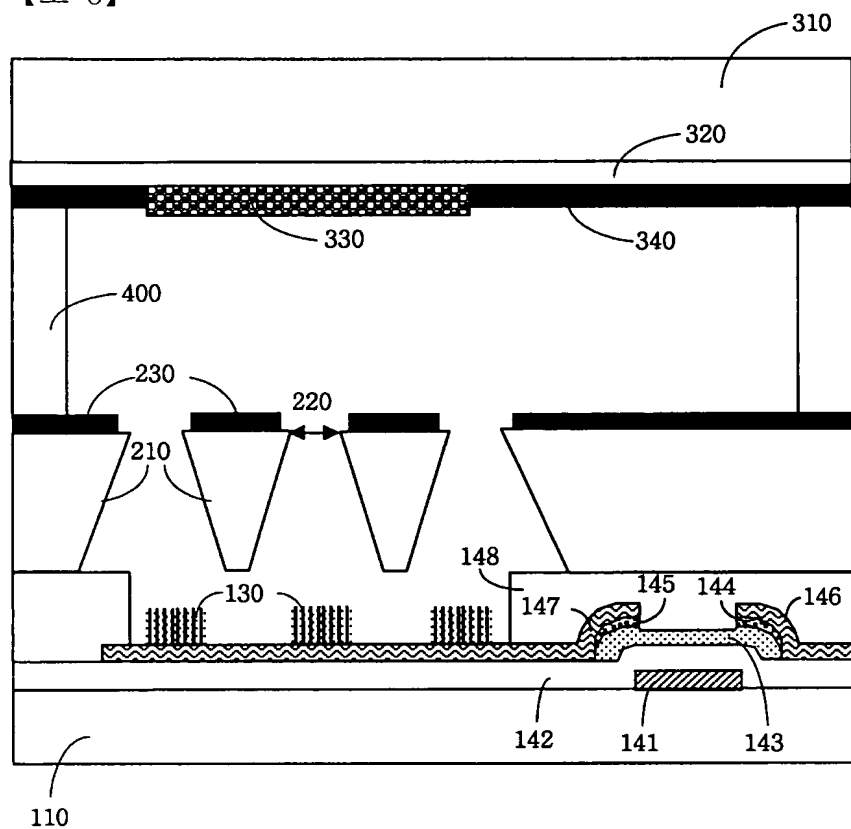
【도 4】



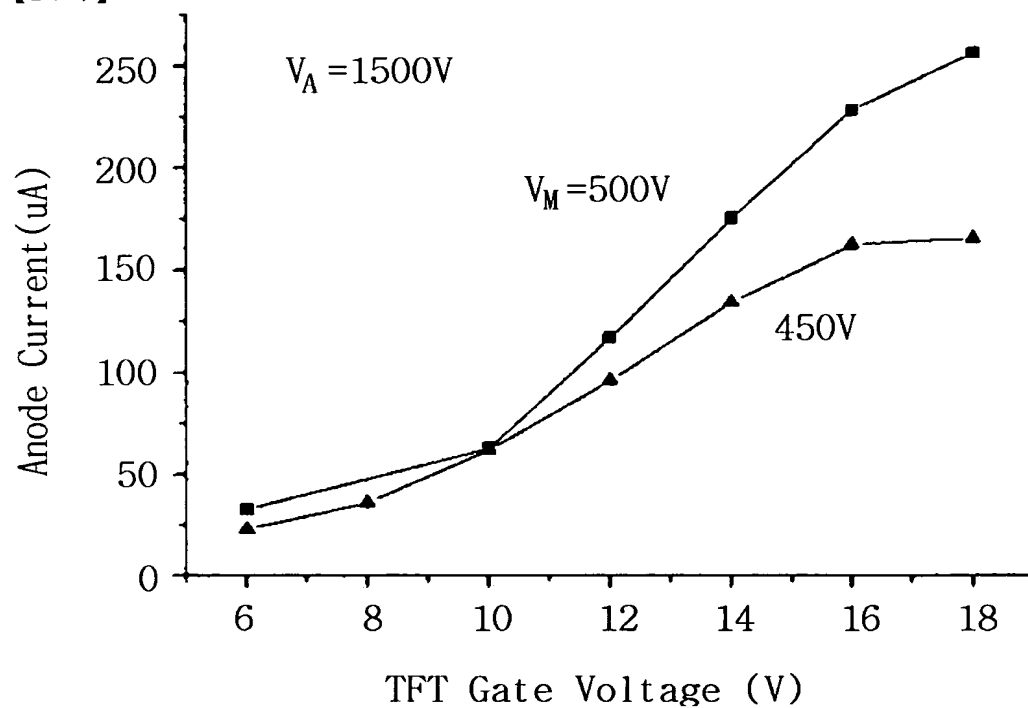
【도 5】



【도 6】



【도 7】



【도 8】

